

## Circuit de comparaison pour convertisseur analogique-numérique

L'invention se rapporte à un circuit de comparaison pour un convertisseur analogique-numérique. Le circuit de comparaison comporte un réseau de comparateurs comparant chacun une tension analogique à convertir avec une tension de référence. La tension analogique à convertir est généralement issue d'un échantillonneur-bloqueur permettant à l'ensemble des comparateurs du réseau de recevoir la même tension analogique au moment où ils effectuent la comparaison avec la tension de référence.

Les tensions de référence que reçoivent les comparateurs sont réparties sur une plage dans laquelle la tension analogique peut évoluer. La répartition est généralement uniforme sur la plage et elle est par exemple obtenue au moyen d'un réseau de résistances, toutes de même valeur et raccordées en série entre les bornes d'une source de tension d'alimentation du comparateur. Il y a sensiblement autant de résistances que de comparateurs. Les tensions de référence sont alors prélevées aux différents points de jonction des résistances entre elles.

Chaque comparateur comporte deux sorties, l'une directe et l'autre inverse. Les tensions présentes sur ses sorties sont fonction de la différence de potentiel entre la tension analogique et la tension de référence reçue par le comparateur concerné. La figure 1 représente trois courbes montrant l'évolution de la tension présente sur la sortie directe  $On-1$ ,  $On$  et  $On+1$  en fonction de la tension analogique  $V$ , pour trois comparateurs  $C$  de rang  $n-1$ ,  $n$  et  $n+1$  dans le réseau de comparateurs. Ces trois comparateurs reçoivent respectivement des tensions de références  $V_{ref\ n-1}$ ,  $V_{ref\ n}$  et  $V_{ref\ n+1}$ . Les comparateurs reçoivent des tensions de référence voisines dans leur répartition sur la plage.

Pour un comparateur donné, par exemple le comparateur de rang  $n$ , si sa réponse était parfaite, la tension  $On$  présente sur sa sortie directe devrait être nulle lorsque la tension analogique  $V$  est égale à la tension de référence  $V_n$ . Or, la réponse des comparateurs est imparfaite et on constate un écart de tension, dit tension d'offset, entre la tension de référence  $V_{ref\ n}$  et la tension analogique  $V$  entraînant une tension  $On$  nulle sur la sortie directe du comparateur de rang  $n$ . Dans la pratique on constate que chaque comparateur  $C$  a sa propre tension d'offset indépendante de celle des autres

## 2

comparateurs. Sur la figure 1, le comparateur C de rang n-1 a une tension d'offset Offset n-1, le comparateur C de rang n a une tension d'offset Offset n et le comparateur C de rang n+1 a une tension d'offset Offset n+1. Les tensions d'offset peuvent être négatives ou positives. Leurs valeurs sont aléatoirement réparties pour les différents comparateurs d'un convertisseur analogique-numérique. Ces tensions d'offset détériorent la précision du convertisseur et on constate qu'elles tendent à augmenter lorsqu'on réduit la taille du composant électronique sur lequel est réalisé le convertisseur.

Par ailleurs, la résolution LSB d'un convertisseur analogique numérique peut s'exprimer par l'écart de la tension analogique modifiant la valeur d'un bit de poids faible en sortie du convertisseur. La résolution LSB s'exprime de la façon suivante :

$$\text{LSB} = \frac{V_{\text{pic/pic}}}{2^n}$$

15

où  $V_{\text{pic/pic}}$  représente l'amplitude maximum de la tension analogique que peut convertir le convertisseur, et où n est le nombre de comparateurs dans le réseau. Si la résolution LSB est inférieure à trois fois la tension d'offset, on a une perte de linéarité du convertisseur et le bit de poids faible n'est plus significatif.

20

L'invention a pour but de réduire les effets de ces tensions d'offset en les moyennant sur des convertisseurs voisins. Cette réduction permet d'améliorer la résolution du convertisseur.

A cet effet, l'invention a pour objet, un circuit de comparaison pour un convertisseur analogique-numérique comportant un réseau de comparateurs comparant chacun une tension analogique à convertir avec une tension de référence, les tensions de référence étant réparties sur une plage dans laquelle la tension analogique peut évoluer, chaque comparateur comprenant une sortie directe et une sortie inverse, caractérisé en ce que chaque sortie, directe ou inverse, est raccordée à l'entrée d'un suiveur de tension, les sorties de chaque suiveur de tension étant reliées soit à des entrées d'un premier réseau de résistances délivrant à ses sorties, des tensions moyennes de celles présentes sur des sorties directes de comparateurs recevant des tensions de référence voisines dans leur répartition sur la plage, soit à des entrées d'un second réseau de résistances

35

## 3

délivrant à ses sorties, des tensions moyennes de celles présentes sur des sorties inverses de comparateurs recevant des tensions de référence voisines dans leur répartition sur la plage.

5 L'invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description détaillée d'un mode de réalisation donné à titre d'exemple et illustré par le dessin joint dans lequel

la figure 1 représente plusieurs courbes montrant l'évolution de la tension présente sur les sorties directes de comparateurs en fonction de la tension analogique  $V$  qui lui est appliquée ; cette figure a déjà été  
10 commentée plus haut ;

la figure 2 représente un circuit de comparaison comportant plusieurs réseaux de résistances permettant de réaliser le moyennage de tensions de sorties directes de plusieurs comparateurs voisins.

15

La figure 2 représente un circuit de comparaison 1 comportant un réseau de comparateurs comparant chacun une tension analogique  $V$  à convertir avec une tension de référence. Sur la figure 2, trois comparateurs  $C_{n-1}$ ,  $C_n$  et  $C_{n+1}$  ont été représentés,  $n$  représentant leur rang dans le  
20 réseau de comparateurs. Chaque comparateur comporte deux entrées et la tension analogique  $V$  est présente sur l'une de ces entrées. L'autre entrée reçoit une tension de référence propre à chaque comparateur  $C$ . Les trois comparateurs  $C_{n-1}$ ,  $C_n$  et  $C_{n+1}$  reçoivent respectivement des tensions de références  $V_{ref\ n-1}$ ,  $V_{ref\ n}$  et  $V_{ref\ n+1}$  obtenues au moyen d'un réseau de  
25 résistances  $R$ , toutes raccordées en série entre les bornes d'une source de tension d'alimentation  $V_{cc}$  du comparateur. Chaque comparateur  $C_{n-1}$ ,  $C_n$  ou  $C_{n+1}$  comporte deux sorties, l'une directe, respectivement  $O_{n-1}$ ,  $O_n$  ou  $O_{n+1}$ , et l'autre inverse respectivement  $\overline{O}_{n-1}$ ,  $\overline{O}_n$  ou  $\overline{O}_{n+1}$ . Les tensions présentes sur ses sorties sont fonction de la différence de potentiel entre la  
30 tension analogique  $V$  et la tension de référence  $V_{ref\ n-1}$ ,  $V_{ref\ n}$  ou  $V_{ref\ n+1}$  reçue par le comparateur  $C$  concerné. Les tensions présentes sur les sorties des différents comparateurs  $C$  évoluent, par exemple, comme représenté sur la figure 1. Pour un comparateur  $C$  donné, la tension présente sur sa sortie inverse  $\overline{O}$  est égale à la tension symétrique de la tension présente sur sa  
35 sortie directe  $O$  par rapport à une tension moyenne qu'il délivre.

## 4

Chaque sortie, directe  $O_{n-1}$ ,  $O_n$  ou  $O_{n+1}$  ou inverse  $\overline{O_{n-1}}$ ,  $\overline{O_n}$  ou  $\overline{O_{n+1}}$ , est raccordée à l'entrée d'un suiveur de tension A. Chaque suiveur de tension A délivre une tension égale à la tension présente sur la sortie du comparateur à laquelle il est raccordé et a une impédance de sortie  
 5 très faible.

Les sorties de chaque suiveur de tension A sont reliées soit à une entrée d'un premier réseau 2 de résistances délivrant à ses sorties  $O'_{n-1}$ ,  $O'_n$  et  $O'_{n+1}$ , des tensions moyennes de celles présentes sur les sorties directes des comparateurs  $C_{n-1}$ ,  $C_n$  et  $C_{n+1}$ , soit à une entrée d'un second  
 10 réseau de résistances délivrant à ses sorties  $\overline{O'_{n-1}}$ ,  $\overline{O'_n}$  et  $\overline{O'_{n+1}}$ , des tensions moyennes de celles présentes sur les sorties inverses des comparateurs  $C_{n-1}$ ,  $C_n$  et  $C_{n+1}$ . Pour ne pas surcharger la figure 2 seul le premier réseau 2 de résistances a été représenté. Avantageusement les deux réseaux de résistances ont la même structure.

Avantageusement, chaque réseau de résistances comporte un  
 15 premier ensemble en série de deux paires identiques de deux résistances identiques en série,  $R_1$ ,  $R_2$  d'une part,  $R_3$ ,  $R_4$  d'autre part, et un deuxième ensemble en série de deux paires identiques de deux résistances identiques en série  $R_5$ ,  $R_6$  d'une part,  $R_7$ ,  $R_8$  d'autre part. Les entrées du réseau de  
 20 résistances sont constituées par les extrémités et le point milieu du premier ensemble en série, et les sorties du réseau de résistances sont constituées par les extrémités et le point milieu du deuxième ensemble en série, le point milieu de la première paire et de la deuxième paire de résistances du premier ensemble sont reliés respectivement au point milieu de la première paire et  
 25 de la deuxième paire du deuxième ensemble. Cette structure de réseau de résistances est répétée pour pouvoir se raccorder aux sorties de tous les comparateurs C et fournir ainsi autant de sorties  $O'$  du réseau de résistances que de sorties O des comparateurs C.

La fonction de transfert de la sortie  $O'_n$  du premier réseau 2 peut  
 30 alors s'exprimer de la façon suivante :

$$O'_n = \frac{\frac{O_n + O_{n+1}}{2} + \frac{O_n + O_{n-1}}{2}}{2}$$

## 5

Les deux premiers réseaux de résistances permettent de réduire l'erreur statistique due aux différentes tensions d'offset des comparateurs. Plus précisément, on peut déterminer l'écart type  $\sigma$  des tensions d'offset de l'ensemble des comparateurs C du réseau. On peut, à l'aide de la fonction de transfert du premier réseau de résistance déterminer un écart type équivalent  $\sigma'$  des comparateurs vu des sorties du premier réseau 2 de résistances. L'écart type équivalent  $\sigma'$  peut s'exprimer de la façon suivante :

$$\sigma' = \sigma \sqrt{\frac{3}{8}} \approx 0,6\sigma$$

10

Cette réduction de l'effet de la tension d'offset des comparateurs permet pratiquement d'améliorer la résolution d'un bit de poids faible.

La combinaison des suiveurs de tension A avec le réseau de résistances permet de ne pas perdre de gain en sortie de réseau de résistances par rapport à la sortie du réseau de comparateurs. En l'absence de suiveur de tension A, la réduction de l'effet de la tension d'offset des comparateurs serait plus faible.

Avantageusement les sorties  $O'n-1$ ,  $O'n$  et  $O'n+1$  du premier réseau 2 de résistances sont reliées, par l'intermédiaire de suiveurs de tension A, à des entrées d'un troisième réseau 3 de résistances délivrant à ses sorties  $O''n-1$ ,  $O''n$  et  $O''n+1$ , des tensions moyennes de celles présentes sur des entrées voisines du troisième réseau de résistances. De même, les sorties  $\overline{O'n-1}$ ,  $\overline{O'n}$  et  $\overline{O'n+1}$  du second réseau de résistances sont reliées, par l'intermédiaire de suiveurs de tension A, à des entrées d'un quatrième réseau de résistances délivrant à ses sorties  $\overline{O''n-1}$ ,  $\overline{O''n}$  et  $\overline{O''n+1}$ , des tensions moyennes de celles présentes sur des entrées voisines du quatrième réseau de résistances. Comme précédemment, pour ne pas surcharger la figure 2, le quatrième réseau de résistances n'est pas représenté. Avantageusement, les quatre réseaux de résistances ont la même structure. La fonction de transfert de la sortie  $O''n$  du second réseau 3 de résistances peut s'exprimer de la façon suivante :

$$O''n = \frac{\frac{O'n + O'n+1}{2} + \frac{O'n + O'n-1}{2}}{2}$$

## 6

Comme précédemment, un écart type équivalent  $\sigma''$  peut s'exprimer de la façon suivante :

5 
$$\sigma'' = \sigma' \sqrt{\frac{3}{8}} = \sigma \sqrt{\frac{3}{8}} \times \sqrt{\frac{3}{8}} \approx 0,36\sigma$$

On voit ici une diminution notable de l'effet de la tension d'offset des comparateurs C, diminution obtenue à l'aide du deuxième étage de réseau de résistances. Les suiveurs de tension A connectés entre les deux  
10 réseaux de résistances évitent toute perte de gain. On pourrait généraliser l'invention en enchaînant d'autres réseaux de résistances, décorréllés des précédents au moyen de suiveurs de tension, en aval des deux décrits ici. Néanmoins, cet enchaînement augmente notablement le nombre de composants présents sur un substrat sur lequel est réalisé le convertisseur  
15 analogique numérique.

L'invention peut être mise en œuvre pour une architecture de circuit de comparaison comportant des comparateurs travaillant tous en parallèle. Cette architecture est bien connue dans la littérature anglo-saxonne sous le nom de « flash ». L'invention peut également être mise en  
20 œuvre pour une architecture de circuit de comparaison dite « en repliement » et comportant un plus petit nombre de comparateurs travaillant en parallèle. Ces comparateurs sont alors utilisés plusieurs fois sur la page. Cette architecture est bien connue dans la littérature anglo-saxonne sous le nom de « folding ».

25

## REVENDICATIONS

1. Circuit de comparaison pour un convertisseur analogique-numérique comportant un réseau de comparateurs (C) comparant chacun une tension analogique (V) à convertir avec une tension de référence (Vref),  
5 les tensions de référence (Vref) étant réparties sur une plage dans laquelle la tension analogique (V) peut évoluer, chaque comparateur (C) comprenant une sortie directe (O) et une sortie inverse ( $\overline{O}$ ), caractérisé en ce que chaque sortie, directe (O) ou inverse ( $\overline{O}$ ), est raccordée à l'entrée d'un suiveur de tension (A), les sorties de chaque suiveur de tension (A) étant  
10 reliées soit à des entrées d'un premier réseau (2) de résistances (R1 à R8) délivrant à ses sorties (O'), des tensions moyennes de celles présentes sur des sorties directes (O) de comparateurs (C) recevant des tensions de référence (Vref) voisines dans leur répartition sur la plage, soit à des entrées d'un second réseau de résistances délivrant à ses sorties ( $\overline{O}'$ ), des tensions  
15 moyennes de celles présentes sur des sorties inverses ( $\overline{O}$ ) de comparateurs (C) recevant des tensions de référence (Vref) voisines dans leur répartition sur la plage.

2. Circuit de comparaison selon la revendication 1, caractérisé en  
20 ce que les sorties (O') du premier réseau (2) de résistances sont reliées, par l'intermédiaire de suiveurs de tension (A), à des entrées d'un troisième réseau (3) de résistances (R1 à R8) délivrant à ses sorties (O''), des tensions moyennes de celles présentes sur des entrées voisines du troisième réseau (3) de résistances, et en ce que les sorties ( $\overline{O}'$ ) du second réseau de  
25 résistances sont reliées, par l'intermédiaire de suiveurs de tension (A), à des entrées d'un quatrième réseau de résistances délivrant à ses sorties ( $\overline{O}''$ ), des tensions moyennes de celles présentes sur des entrées voisines du quatrième réseau de résistances.

30 3. Circuit de comparaison selon l'une des revendications précédentes, caractérisé en ce que les réseaux (2, 3) de résistances ont la même structure.

4. Circuit de comparaison selon la revendication 3, caractérisé en ce que chaque réseau de résistances comporte un premier ensemble en série de deux paires identiques de deux résistances identiques en série, (R1, R2) d'une part, (R3, R4) d'autre part, et un deuxième ensemble en série de  
5 deux paires identiques de deux résistances identiques en série (R5, R6) d'une part, (R7, R8) d'autre part et en ce que les entrées du réseau de résistances sont constituées par les extrémités et le point milieu du premier ensemble en série, et les sorties du réseau de résistances sont constituées par les extrémités et le point milieu du deuxième ensemble en série, le point  
10 milieu de la première paire et de la deuxième paire de résistances du premier ensemble sont reliés respectivement au point milieu de la première paire et de la deuxième paire du deuxième ensemble.



1/2

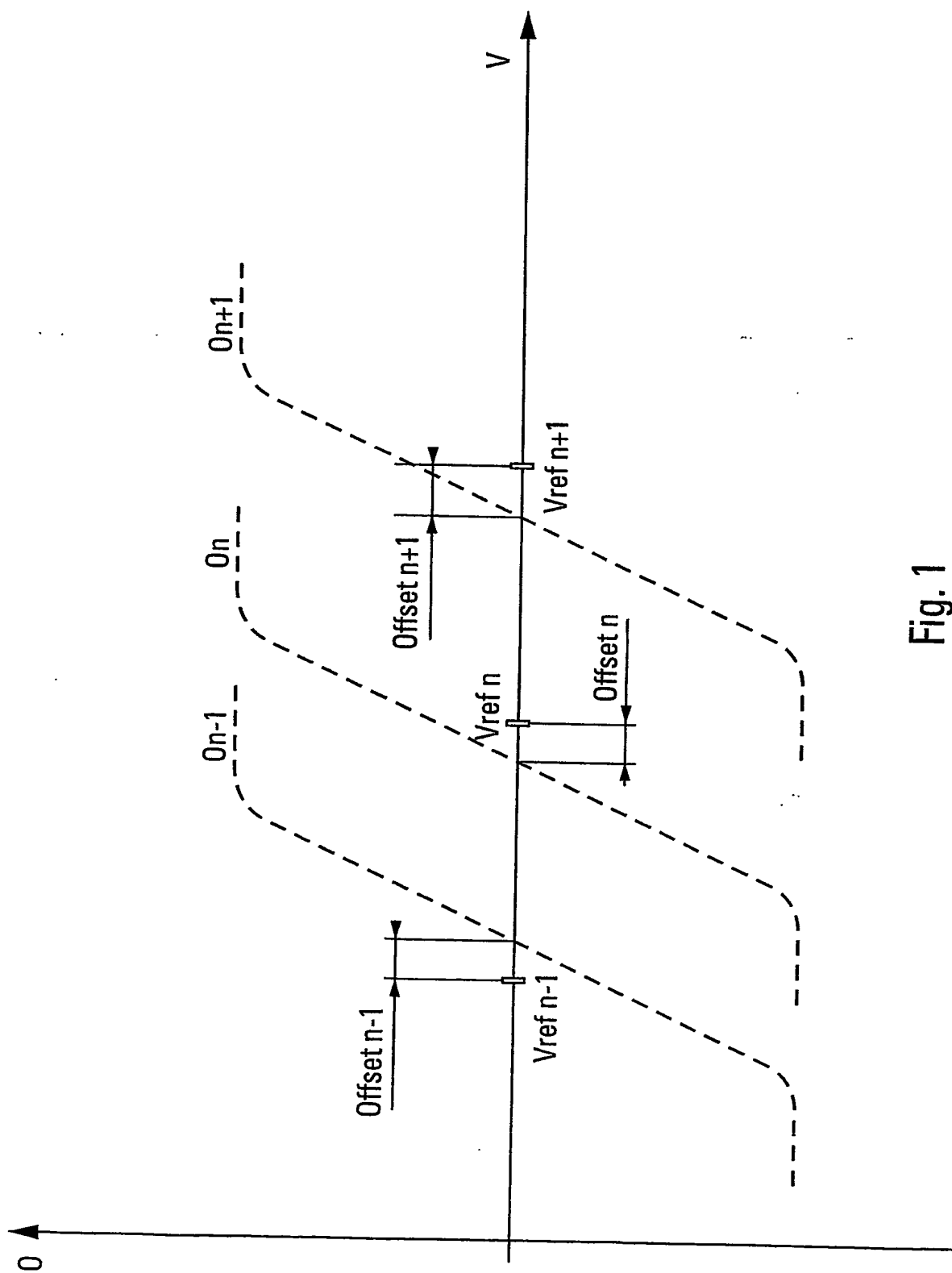


Fig. 1

2/2

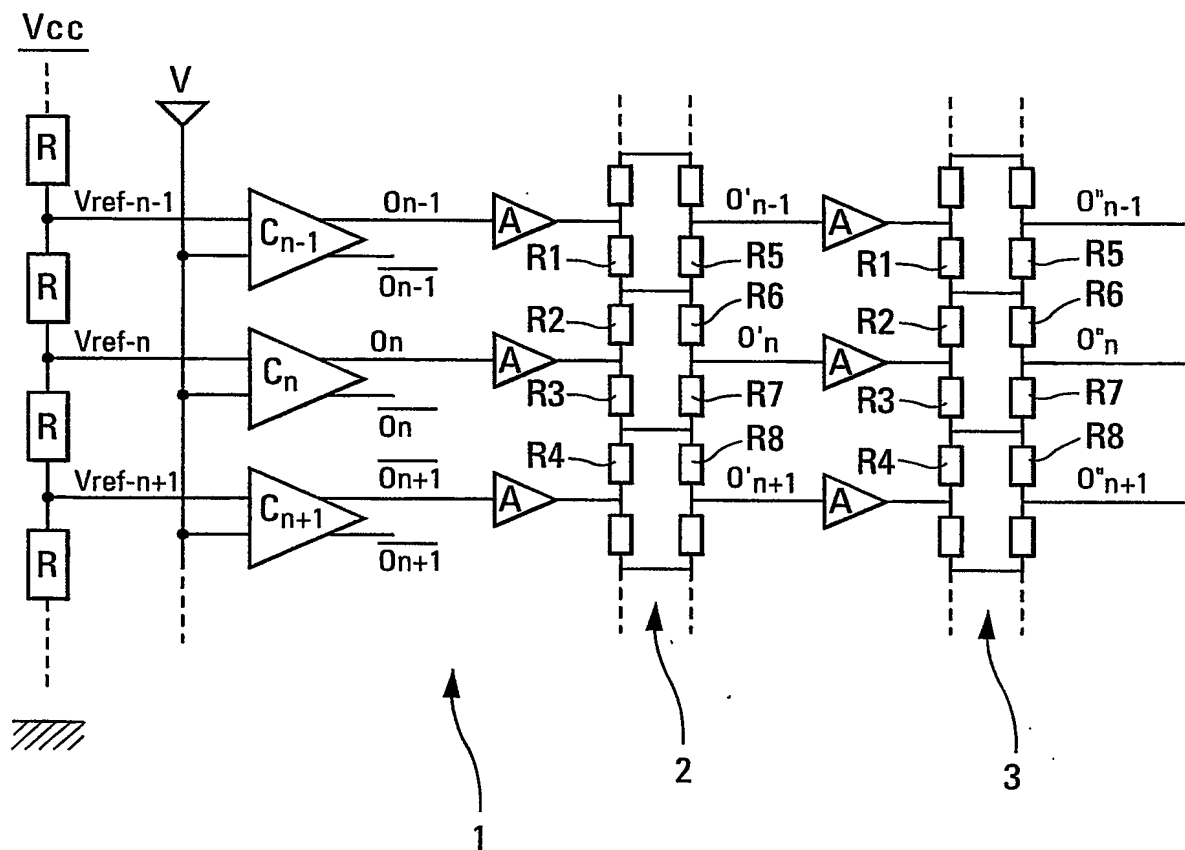


Fig. 2

# INTERNATIONAL SEARCH REPORT

International Application No  
PC1/EP2004/052518

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H03M1/06

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, IBM-TDB, INSPEC

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CHOI M ET AL: "A 6b 1.3G Sample/s A/D converter in 0.35/sp1 mu/m CMOS" IEEE JOURNAL OF SOLID STATE CIRCUITS, December 2001 (2001-12), pages 1847-1858, XP002316175	1-3
A	figures 2,13,15 page 1847, column 2, line 27 - page 1848, column 1, line 16 page 1851, column 2, line 40 - page 1852, column 2, line 8	4
A	----- US 6 169 510 B1 (BULT KLAAS ET AL) 2 January 2001 (2001-01-02) abstract figures 5,9-13 column 4, line 1 - line 14 column 11, line 30 - column 13, line 67 ----- -/--	1

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

3 February 2005

Date of mailing of the international search report

17/02/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Oliveira, J.

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/052518

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	LEUCIUC A ET AL: "Active Spatial Filtering for A/D Converters" IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, vol. 2, 26 May 2002 (2002-05-26), - 29 May 2002 (2002-05-29) pages II 392-II 395, XP002284282 figures 1,2,9 page 393, column 2, line 1 - page 394, column 1, line 32 -----	1

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/052518

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6169510	B1	02-01-2001	
		US 6014098 A	11-01-2000
		US 5835048 A	10-11-1998
		US 2002167436 A1	14-11-2002
		US 2004113827 A1	17-06-2004
		US 6407692 B1	18-06-2002
		US 2005012651 A1	20-01-2005
		US 6100836 A	08-08-2000
		US 6204794 B1	20-03-2001

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/EP2004/052518

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**  
CIB 7 H03M1/06

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 7 H03M

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)  
EPO-Internal, WPI Data, PAJ, IBM-TDB, INSPEC

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	CHOI M ET AL: "A 6b 1.3G Sample/s A/D converter in 0.35/sp1 mu/m CMOS" IEEE JOURNAL OF SOLID STATE CIRCUITS, décembre 2001 (2001-12), pages 1847-1858, XP002316175	1-3
A	figures 2,13,15 page 1847, colonne 2, ligne 27 - page 1848, colonne 1, ligne 16 page 1851, colonne 2, ligne 40 - page 1852, colonne 2, ligne 8 ----- -/--	4

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*&\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

3 février 2005

Date d'expédition du présent rapport de recherche internationale

17/02/2005

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Oliveira, J.

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 169 510 B1 (BULT KLAAS ET AL) 2 janvier 2001 (2001-01-02) abrégé figures 5,9-13 colonne 4, ligne 1 - ligne 14 colonne 11, ligne 30 - colonne 13, ligne 67 -----	1
A	LEUCIUC A ET AL: "Active Spatial Filtering for A/D Converters" IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, vol. 2, 26 mai 2002 (2002-05-26), - 29 mai 2002 (2002-05-29) pages II 392-II 395, XP002284282 figures 1,2,9 page 393, colonne 2, ligne 1 - page 394, colonne 1, ligne 32 -----	1

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande Internationale No

PCT/EP2004/052518

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6169510	B1	02-01-2001	
		US 6014098 A	11-01-2000
		US 5835048 A	10-11-1998
		US 2002167436 A1	14-11-2002
		US 2004113827 A1	17-06-2004
		US 6407692 B1	18-06-2002
		US 2005012651 A1	20-01-2005
		US 6100836 A	08-08-2000
		US 6204794 B1	20-03-2001



# TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS



## PCT

REC'D 09 FEB 2006

### RAPPORT PRÉLIMINAIRE INTERNATIONAL SUR LA BREVETABILITÉ

(chapitre II du Traité de coopération en matière de brevets)

(article 36 et règle 70 du PCT)

Référence du dossier du déposant ou du mandataire	<b>POUR SUITE À DONNER</b> voir formulaire PCT/PEA/416	
Demande internationale No. PCT/EP2004/052518	Date du dépôt international (jour/mois/année) 13.10.2004	Date de priorité (jour/mois/année) 17.10.2003
Classification internationale des brevets (CIB) ou à la fois classification nationale et CIB H03M1/06		
Déposant ATMEL GRENOBLE S.A. ET AL.		
<p>1. Le présent rapport est le rapport d'examen préliminaire international, établi par l'administration chargée de l'examen préliminaire international en vertu de l'article 35 et transmis au déposant conformément à l'article 36.</p> <p>2. Ce RAPPORT comprend 6 feuilles, y compris la présente feuille de couverture.</p> <p>3. Ce rapport est accompagné d'ANNEXES, qui comprennent :</p> <p>a. <input type="checkbox"/> un total de (envoyées au déposant et au Bureau international) feuilles, définies comme suit :</p> <p><input type="checkbox"/> les feuilles de la description, des revendications ou des dessins qui ont été modifiées et qui servent de base au présent rapport ou des feuilles contenant des rectifications autorisées par la présente administration (voir la règle 70.16 et l'instruction administrative 607).</p> <p><input type="checkbox"/> des feuilles qui remplacent des feuilles précédentes, mais dont la présente administration considère qu'elles contiennent une modification qui va au-delà de l'exposé de l'invention qui figure dans la demande internationale telle qu'elle a été déposée, comme il est indiqué au point 4 du cadre n° 1 et dans le cadre supplémentaire.</p> <p>b. <input type="checkbox"/> (envoyées au Bureau international seulement) un total de (préciser le type et le nombre de support(s) électronique(s)) , qui contiennent un listage de la ou des séquences ou un ou des tableaux y relatifs, déposés sous forme déchiffrable par ordinateur seulement, comme il est indiqué dans le cadre supplémentaire relatif au listage de la ou des séquences (voir l'instruction administrative 802).</p>		
<p>4. Le présent rapport contient des indications et les pages correspondantes relatives aux points suivants :</p> <p><input checked="" type="checkbox"/> Cadre n° I Base de l'opinion</p> <p><input type="checkbox"/> Cadre n° II Priorité</p> <p><input type="checkbox"/> Cadre n° III Absence de formulation d'opinion quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle</p> <p><input type="checkbox"/> Cadre n° IV Absence d'unité de l'invention</p> <p><input checked="" type="checkbox"/> Cadre n° V Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration</p> <p><input type="checkbox"/> Cadre n° VI Certains documents cités</p> <p><input type="checkbox"/> Cadre n° VII Irrégularités dans la demande internationale</p> <p><input type="checkbox"/> Cadre n° VIII Observations relatives à la demande internationale</p>		
Date de présentation de la demande d'examen préliminaire internationale 17.08.2005	Date d'achèvement du présent rapport 09.02.2006	
Nom et adresse postale de l'administration chargée de l'examen préliminaire international  Office européen des brevets - P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk - Pays Bas Tél. +31 70 340 - 2040 Tx: 31 651 epo nl Fax: +31 70 340 - 3016	Fonctionnaire autorisé Oliveira, J. N° de téléphone +31 70 340-3334 	

Demande internationale n°  
PCT/EP2004/052518

## Formulaire PCT/PEA/409 (janvier 2004)

**RAPPORT PRÉLIMINAIRE INTERNATIONAL  
SUR LA BREVETABILITÉ**

Demande internationale n°  
PCT/EP2004/052518

---

**Cadre n° V Déclaration motivée selon l'article 35.2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration**

---

- |  |      |                |     |
|--|------|----------------|-----|
| 1. Déclaration                         |      |                |     |
| Nouveauté                              | Oui: | Revendications | 1-4 |
|  | Non: | Revendications |     |
| Activité inventive                     | Oui: | Revendications |     |
|  | Non: | Revendications | 1-4 |
| Possibilité d'application industrielle | Oui: | Revendications | 1-4 |
|  | Non: | Revendications |     |

2. Citations et explications (règle 70.7) :

**voir feuille séparée**

Concernant le point V.

1 Il est fait référence au document suivant dans la présente notification:

**D1:** CHOI M ET AL: "A 6b 1.3GSample/s A/D converter in 0.35/ $\mu$ m CMOS"  
IEEE JOURNAL OF SOLID STATE CIRCUITS, décembre 2001 (2001-12),  
pages 1847-1858, XP002316175

**D2:** US-B1-6 169 510 (BULT KLAAS ET AL) 2 janvier 2001 (2001-01-02)

**D3:** VORENKAMP PIETER ET AL: "A 12-b, 60-MSamples/s Cascaded Folding and  
Interpolating ADC", IEEE Journal of Solid-State Circuits, Vol. 32, December  
1997.

## 2 REVENDICATION INDEPENDANTE 1

2.1 La présente demande ne remplit pas les conditions énoncées dans l'Article 33(1) PCT, l'objet de la revendication 1 n'étant pas conforme au critère d'activité inventive défini par l'Article 33(3) PCT.

2.2 **D1**, qui est considéré comme l'état de la technique la plus proche, décrit un circuit de comparaison pour un convertisseur analogique-numérique comportant:

un réseau de comparateurs (**voir D1 figures 2, 13 et 15 éléments "comparator"**) comparant chacun une tension analogique à convertir, chaque comparateur comprenant une sortie directe et une sortie inverse (**voir D1 figure 13 sorties "+" et "-"**); dans lequel chaque sortie, directe ou inverse, est reliée soit à des entrées d'un premier réseau de résistances (**voir D1 figure 13 chaîne de résistances connectées à la sortie "+"**) délivrant à ses sorties des tensions moyennes de celles présentes sur des sorties directes de comparateurs recevant des tensions de référence voisines dans leur répartition sur la puce, soit à des entrées d'un second réseau de résistances (**voir D1 figure 13 chaîne de résistances connectées à la sortie "-"**) délivrant à ses sorties des tensions moyennes de celles présentes sur des sorties inverses de comparateurs recevant des tensions de référence voisines dans leur répartition

sur la plage.

2.3 L'objet de la revendication 1 diffère de **D1** en ce que:

a) chaque comparateur reçoit une tension analogique à convertir et la compare avec une tension de référence, ces tensions de référence étant réparties sur une plage dans laquelle la tension analogique peut évoluer;

b) chaque sortie directe ou inverse est raccordée à l'entrée d'un suiveur de tension, les sorties de chaque suiveur de tension étant reliées aux réseaux de résistances.

2.4 Le fait d'utiliser des tensions de référence réparties sur une plage pour servir de comparaison avec un signal analogique d'entrée à convertir est bien connu (**voir par exemple D2 figures 1 et 2**) et ne constitue que l'alternative unipolaire à l'entrée de chaque comparateur pour effectuer la comparaison (**alors que D1 décrit une solution différentielle**). La personne du métier choisirait l'alternative adéquate en accord avec l'application ou les demandes/restrictions de l'application sans exercer d'activité inventive.

D'autre part, cette caractéristique ne contribue en aucune façon pour l'invention, car elle constitue l'entrée du circuit alors que ce n'est qu'à la sortie que l'on place les éléments nécessaires à la réalisation de l'invention tel que décrit dans la présente demande de brevet.

2.5 L'utilisation de suiveurs de tension entre les sorties des comparateurs et les réseaux de résistances permet de ne pas perdre de gain de signal. Cette fonction est évidente pour les suiveurs de tension et la personne du métier n'hésiterait pas à considérer son utilisation dans les circuits de comparaison de **D1** pour améliorer le signal en sortie des comparateurs (**voir par exemple D3 figure 8; page 1881 colonne 2 lignes 5-12**).

2.6 Par conséquent l'objet de la revendication 1 n'implique pas d'activité inventive Article 33(3) PCT).

### **3 REVENDEICATIONS DEPENDANTES 2-4**

Les revendications ne contiennent pas de caractéristiques qui, combinées avec les caractéristiques d'une quelconque revendication à laquelle elles se réfèrent, satisfont aux exigences du PCT en matière d'activité inventive (article 33(3) PCT) car elles sont considérées comme évidentes:

\* Les caractéristiques additionnelles des revendications **2 et 3** sont considérées comme étant des détails de l'invention.

\* L'objet de la revendication **4** est déjà anticipé par le document **D3 (figure 8)**.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**